

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 60149251 A

(43) Date of publication of application: 06 . 08 . 85

(51) Int. Cl H04M 3/26

(21) Application number: 59005035

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(22) Date of filing: 13 . 01 . 84

(72) Inventor: FUJITA HIROSHI

(54) FAULT DETECTOR FOR TERMINAL CONTROL PROCESSOR OF ELECTRONIC EXCHANGE

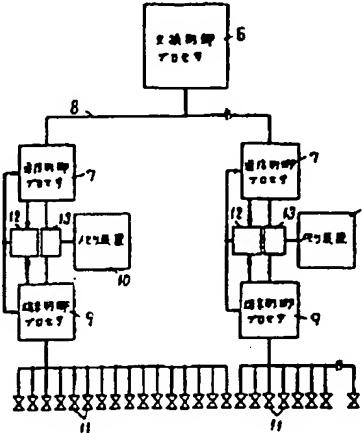
increase of terminals 11.

COPYRIGHT: (C)1985,JPO&Japio

(57) Abstract:

PURPOSE: To improve the fault detecting sensitivity as well as the processing efficiency by dividing a terminal control processor into two blocks and monitoring the presence or absence of an access and the length of this access to a shared memory between both processors by these processors to each other.

CONSTITUTION: Control processors 7 divided into two parts via a control bus 8 are connected to an exchange control processor 6 of a system. These processors 7 are connected to terminal control processors 9 via a reset circuit 12 and a memory controller 13 respectively. Then each of divided terminals 11 are connected to the processors 9, and common memory devices 10 are connected to the controllers 13 respectively. When the controllers 13 deliver the requests to processors 7 and 9 for use of the devices 10, the faults of both processors 7 and 9 are detected with each other by the output of controllers 13 in response to the requests of the controllers 13. Then the circuit 12 is reset based on the result of the fault detection. This improves the fault detecting sensitivity and facilitates an easy



Best Available Copy

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開  
⑫ 公開特許公報 (A) 昭60-149251

⑬ Int.CI.  
H 04 M 3/26

識別記号 廈内整理番号  
Z-7830-5K

⑭ 公開 昭和60年(1985)8月6日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 電子交換機の端末制御プロセサ障害検出装置

⑯ 特 願 昭59-5035  
⑰ 出 願 昭59(1984)1月13日

⑱ 発明者 藤田 博 横浜市港北区綱島東4丁目3番1号 松下通信工業株式会社内

⑲ 出願人 松下電器産業株式会社 門真市大字門真1006番地

⑳ 代理人 弁理士 中尾 敏男 外1名

明細書

1. 発明の名称

電子交換機の端末制御プロセサ障害検出装置

2. 特許請求の範囲

交換制御プロセサに接続された複数の端末制御装置が交換制御プロセサに接続された通信制御プロセサ、端末に接続された端末制御プロセサ、前記両プロセサに共通のメモリ装置、上記メモリ装置の競合制御を行なうメモリ制御装置、端末制御装置の初期化を行なうリセット回路をそれぞれ備えており、かつ、上記通信制御プロセサ、上記端末制御プロセサがそれぞれ上記プロセサより上記メモリ制御装置に対し、上記メモリ装置の使用要求を出したとき、これに応答して出力される上記メモリ制御装置の出力をを利用して上記端末制御プロセサ、上記通信制御プロセサの障害を相互に検知し合い、その検知結果にもとづいて上記リセット回路を駆動し、上記端末制御装置を初期化するよう構成されていることを特徴とする電子交換機の端末制御プロセサ障害検出装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は、端末制御プロセサを保有する電子交換機の端末制御プロセサ障害検出装置に関する。

従来例の構成とその問題点

第1図は、従来の端末制御プロセサ障害検出装置を示している。以下にこの従来例の構成について第1図とともに説明する。第1図において1は制御プロセサであり、この制御プロセサ1には制御バス2が接続されている。3は端末制御プロセサであり、制御プロセサ1と同様に制御バス2に接続されると同時に、制御線4を通じて端末装置5に接続されている。6は、制御プロセサ1から端末制御プロセサ3に対する個別のリセット信号線である。

次に上記従来例の動作について説明する。第1図において、端末の操作、たとえばオフック、ダイアルなどの情報は、端末制御プロセサ3を通じて、制御プロセサ1に送出される。一方、制御プロセサ1はこれらの情報を分析・解釈して、端

Best Available Copy

端末制御プロセサ3に対して、指示（呼出し音送出など）命令を与える。従って、端末制御プロセサ3が故障してしまえば、その端末制御プロセサに接続された端末は、交換サービスを受けることができなくなる。そこで、制御プロセサ1は、端末制御プロセサ3に対して、制御バス2を通して試験コマンドを定期的に送出して、端末制御プロセサ3の動作確認を行なっている。上記の試験コマンドによって、制御プロセサ1が、端末制御プロセサ3の障害を検出すると、個別リセット旗6を用いて端末制御プロセサ3の初期化を実行する。従来は上記のようにして、端末制御プロセサ3の障害検出と復旧が行なわれている。

しかしながら、上記従来例においては制御プロセサ1が、端末制御プロセサ3に対して定期的に試験コマンドを送出することによって、障害検出を行なっている。そのため、障害発生から障害検出までの時間を短くするために、上記の定期試験の間隔を短くしなければならない。従って、障害検出感度を良くすると、制御プロセサ1の負荷

が上昇するという問題点があった。さらに、端末制御プロセサ3に対して、個別リセット信号6を送出しているため、端末制御プロセサ3が増加すると、制御バスの本線が増加するという問題点もあった。

#### 発明の目的

本発明は、上記従来の問題点を除去するものであり、障害検出感度と端末制御プロセサの増加とが、制御プロセサの処理効率に影響を与えないようすることを目的とするものである。

#### 発明の構成

本発明は、上記目的を達成するために、端末制御プロセサを2つのプロセサに分散し、この2つのプロセサ間に共有メモリを設けて、このメモリに対する両プロセサからのアクセスの有無と、アクセスの長さを互いのプロセサで監視しあうことにより、お互いの障害を検出するように構成したものである。

#### 実施例の説明

以下に本発明の一実施例の構成について、図面

Best Available Copy

とともに説明する。第2図において、6は制御プロセサであり、この制御プロセサ6は、通信制御プロセサ7と、制御バス8を介して接続されている。9は端末制御プロセサであり、端末制御プロセサ9と、通信制御プロセサ7との間には、前記両プロセサ9、7からアクセス可能なメモリ装置10が接続されている。11は端末制御プロセサに接続されている端末であり、12は通信制御プロセサ7と端末制御プロセサ9からの信号により、前記両プロセサ7、9を初期化するリセット回路である。13は、前記両プロセサ7、9のメモリ競合を制御するメモリ制御装置である。

次に上記実施例の動作について説明する。第2図において、通信制御プロセサ7がメモリ装置10にアクセスするためにメモリ制御装置13に対してメモリ使用要求を出すと、メモリ制御装置13は端末制御プロセサ9がメモリ装置10を使用中でなければすぐに、使用中であれば終了後に、メモリ使用許可を通信制御プロセサ7に与える。通信制御プロセサ7は、メモリ使用要求からメモ

リ使用許可までの時間を計測して、規定された時間を越えた場合には、端末制御プロセサ9の障害と判断して、リセット回路12を駆動し、通信制御プロセサ7と端末制御プロセサ9との初期化を行ない障害復旧を行なう。逆に端末制御プロセサ9がメモリ装置10にアクセスするときには、メモリ制御装置13に対して、メモリ使用要求を送出してメモリ使用許可を受けてから、メモリ装置10にアクセスする。端末制御プロセサ9は、メモリ使用要求からメモリ使用許可までの時間を計測して、規定された時間を越えた場合には、通信制御プロセサ7の障害と判断して、リセット回路12を駆動し、通信制御プロセサ7と端末制御プロセサ9との初期化を行ない障害復旧を行なう。

このように上記実施例においては、端末制御装置の障害検出を端末制御装置自身で行なわせるようとしているので、交換制御プロセサ6で端末制御プロセサの障害監視を行なう必要が全くなく、交換制御プロセサ6の負荷を著しく軽減することができるという利点を有する。

Best Available Copy

特開昭60-149251 (3)

の一実施例における端末制御プロセサの障害検出装置の概略構成図である。

6…制御プロセサ、7…通信制御プロセサ、9…端末制御プロセサ、10…メモリ装置、11…端末、12…リセット回路、13…メモリ制御装置。

代理人の氏名 弁理士 中尾 敏男 ほか1名

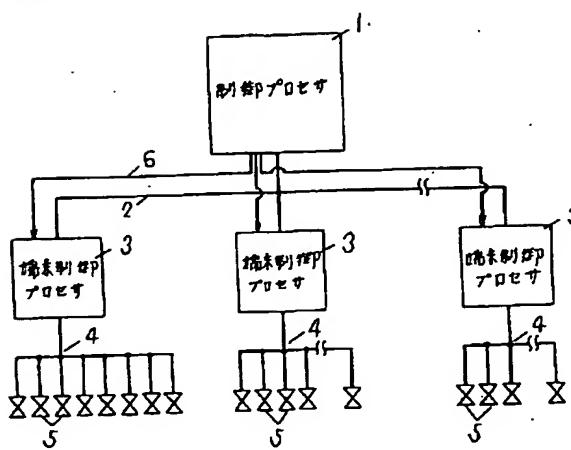
#### 発明の効果

本発明は上記実施例より明らかのように、端末制御装置を通信制御プロセッサ、端末制御プロセッサ、両プロセッサに共通のメモリ装置、リセット回路によって構成しており、したがって、交換制御プロセサからは何ら障害復旧を制御する必要がなく、交換制御プロセサと端末制御プロセサ間の配線を著しく省略化することができるという利点を有する。また、本発明によればそれぞれの端末制御装置を構成する通信制御プロセサと、端末制御プロセサとの間で互いにその障害を検出するように構成しているため、交換制御プロセサの負荷を著しく軽減することができるという利点を有する。更に本発明によれば、共有のメモリ装置を使用し、そのメモリ装置のアクセス時に障害検出するように構成しているため、障害検出感度が著しく高くなるという利点を有する。

#### 4. 図面の簡単な説明

第1図は、従来の電子交換機の端末制御プロセサの障害検出装置の概略構成図、第2図は本発明

第1図



第2図

